

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-085793

(43)Date of publication of application : 18.03.1992

(51)Int.Cl.

G11C 11/414

(21)Application number : 02-200653

(71)Applicant : FUJITSU LTD

(22)Date of filing : 26.07.1990

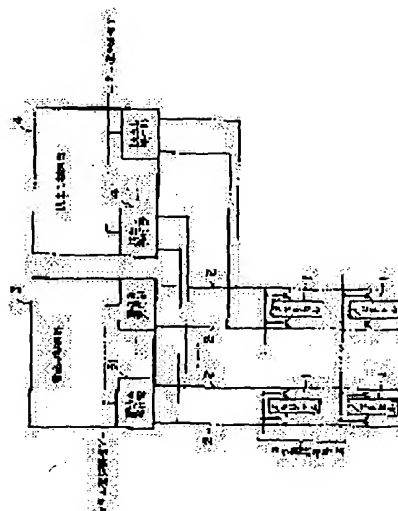
(72)Inventor : KAGIWATARI HIROSHI

(54) SEMICONDUCTOR STORAGE

(57)Abstract:

PURPOSE: To attain a high speed writing cycle by omitting a column changeover switch circuit.

CONSTITUTION: A column changeover switch circuit is omitted and, instead, a write executing part 31 and a read executing part 41 are provided for each column. Thus the potential difference between the bit line pairs 2 can be reduced down to the least limit value that is decided by the detecting ability of a sense amplifier and the noise margin. Then the potential amplitude of the pairs 2 is reduced so as to shorten the read-out time. At the same time, the circuit time constant is reduced and the write restoring time is shortened. Furthermore the pairs 2 can be directly driven at a write executing part via a bipolar transistor having the current driving ability higher than a p-MOS transistor. As a result, the write restoring time can be shortened more.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平4-85793

⑮ Int. Cl.³

識別記号

庁内整理番号

⑬ 公開 平成4年(1992)3月18日

G 11 C 11/414

7323-5L

G 11 C 11/34

3 1 5

審査請求 未請求 請求項の数 3 (全7頁)

⑭ 発明の名称 半導体記憶装置

⑯ 特 願 平2-200653

⑰ 出 願 平2(1990)7月26日

⑱ 発 明 者 鍵 渡 裕 志 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑲ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

⑳ 代 理 人 弁理士 井 桁 貞一 外2名

明 細 書

1. 発明の名称

半導体記憶装置

2. 特許請求の範囲

(1) ロウ選択信号(X)とコラム選択信号(Y)とにより夫々アドレスを特定される複数のメモリセル(1)と、

該メモリセル(1)の各コラム毎に配され前記ロウ選択信号(X)にตอบสนองし当該コラムのいずれかのメモリセル(1)に導通可能なビット線対(2)と、

前記ロウ選択信号(X)及び前記コラム選択信号(Y)を含む外部信号に従って前記ビット線対(2)を介して前記いずれかのメモリセル(1)に記憶すべき信号を書込み可能な書込み制御部(3)及びいずれかのメモリセルの記憶信号を読出し可能な読出し制御部(4)と、

を備える半導体記憶装置において、

前記 込み制御部(3)が、前記コラム選択信号

(Y)にตอบสนองしてメモリセル(1)に対して書込み電流を供給可能な書込み実行部(31)を各コラム毎に備え、

前記読出し制御部(4)が、前記コラム選択信号(Y)にตอบสนองしてメモリセル(1)の記憶信号を読出し可能な読出し実行部(41)を各コラム毎に備えること、

を特徴とする半導体記憶装置。

(2) 請求項1記載の書込み実行部(31)がビット線対(2)に書込み回復電流を供給可能なバイポーラトランジスタを有することを特徴とする半導体記憶装置。

(3) 前記バイポーラトランジスタが一对のトランジスタ(Q8, Q9)から構成され、該一对のトランジスタの夫々のベースは、書込み制御信号を含む外部信号にตอบสนองするトランジスタ組に接続されると共に、夫々抵抗(r1, r2)を介して第一の電源(Vcc)に接続されており、

前記トランジスタ組が、

一方の前記バイポーラトランジスタ(Q8)の

前記ベースに接続されるドレンを有する第一の n チャンネルトランジスタ (Q 3) と、

他方の前記バイポーラトランジスタ (Q 9) の前記ベースに接続されるドレンと、前記第一の n チャンネルトランジスタ (Q 3) のソースに接続されるソースとを有する第二の n チャンネルトランジスタ (Q 4) と、

一方のビット線 (2 A 1) に接続されるソース又はドレンと、前記第一の n チャンネルトランジスタ (Q 3) のソースに接続されるドレン又はソースとを有する第三の n チャンネルトランジスタ (Q 6) と、

他方のビット線 (2 A 2) に接続されるソース又はドレンと、前記第一の n チャンネルトランジスタ (Q 3) のソースに接続されるドレン又はソースとを有する第四の n チャンネルトランジスタ (Q 7) と、

前記第一の n チャンネルトランジスタ (Q 3) のソースに接続されるドレンと、第二の電源 (V 2) に接続されるソースとを有し、前記コラ

ム選択信号 Y によって制御される第五の n チャンネルトランジスタ (Q 5) と

を備えることを特徴とする請求項 2 記載の半導体記憶装置。

3. 発明の詳細な説明

〔発明の概要〕

半導体記憶装置に関し、

書き込み回復時間及び読出し時間の高速化を目的とし、

コラム切換スイッチ回路を廃し、書き込み制御部及び読出し制御部が夫々各コラム毎に書き込み実行部及び読出し実行部を備えるように構成する。

〔産業上の利用分野〕

本発明はロウ選択信号とコラム選択信号とによりアドレスを特定されるメモリセルのための書き込み制御部及び読出し制御部を備えた半導体記憶装置に関する。

一般にこのような半導体記憶装置では、バイポーラ型トランジスタと MOS 型トランジスタとが混在する Bi-MOS IC 回路として構成され、近年の電子

計算機の高速化を受けてますます書き込み及び読出し制御の高速化が要請されている。

〔従来技術〕

従来の半導体記憶装置について第 3 図を参照して説明する。

同図においてこの半導体記憶装置は、各メモリセル 1 と、メモリセル 1 の各コラム毎に配されるコラムビット線対 21 と、メモリセル 1 の書き込み及び読出し電流とコラムビット線対 21 の初期化のための回復電流とを供給する一対の CMOS インバータ INV 1、INV 2 から成る書き込み制御部 30 と、読出し制御部 40 を構成するセンスアンプと、MOS トランジスタによって構成され各コラムビット線対 21 を選択するためのコラム切換スイッチ回路 5 と、コラム切換スイッチ回路 5 を介して前記書き込み制御部 30 及び読出し制御部 40 と各コラムビット線対 21 とを結合する共通ビット線対 22 とで構成されており、コラム選択信号 Y とロウ選択信号 X とによりメモリセル 1 のアドレスを 定しこれらを書き込み及び読出し制御する。

読出し時においては、書き込み制御信号 \overline{VE} のレベルが L レベルとなり一対の CMOS インバータ INV 1、INV 2 の双方の p-MOS トランジスタ Q 1、Q 3 がいずれも導通し、コラム選択信号 Y によって選択されたメモリセルのためのコラムビット線対 21 と共通ビット線対 22 とは当該コラム切換スイッチ回路 5 によって導通し、ロウ選択信号 X で選択されたメモリセル 1 の記憶信号に従って当該コラムビット線対 21 及び共通ビット線対 22 の一方のラインを経由し p-MOS トランジスタ Q 1 又は Q 3 を介してリード電流がメモリセル 1 のレベル L 側に流れる。これによりメモリセル 1 内のレベル L 側に維持されているラインに導通しているコラムビット線対 21 のラインの電位が例えば 50%V 程度下がるため、コラムビット線対 21 の他方のラインとの間に電位差が生じ、共通ビット線対 22 のいずれのラインの電位が低下したかをセンスアンプ 40 が読み出すことによりメモリセル 1 の記憶が読み出されることになる。読出し時間の高速化に当っては、ビット線対の電位振幅をできる

だけ小さく選定することが要請される。

また 込み時には、書き込み制御信号 \overline{VE} がHレベルとなり当該メモリセルに書き込むべき信号のH又はLレベルに対応して定まるビット信号 $D1$, $\overline{D1}$ がインバータ対INV 1, INV 2のゲートに入力され、一方のインバータINV 1, INV 2のn-MOSトランジスタQ 2, Q 4のうち一方が導通するように切替えられる。選択されたメモリセル1からのライト電流が、ビット線対21, 22のうちのL側のビット線及びコラム切換スイッチ回路5並びに導通側に切換えられた一方のn-MOSトランジスタQ 2, Q 4を経由して流れる結果、メモリセル内の導通状態が切換えられ、記憶すべきビット信号が当該メモリセル1に記憶されることとなる。

上記書き込み時においては、ビット線対の内、ライト電流の流れる一方のラインはほぼ電源電位 V_2 まで大きく下がることとなるが、信号伝達時間が終了し書き込み制御信号 \overline{VE} がLレベルに低下すると、n-MOSトランジスタQ 2, Q 4が導通側にあった一方のインバータINV 1, INV 2はこの

書き込み制御信号を受けてp-MOSトランジスタQ 1, Q 3の通側に切換わる結果再び初期状態の電位まで回復する。この書き込み回復時間は、インバータINV 1, INV 2のゲート自体の遅れ時間及びp-MOSトランジスタQ 1, Q 3の駆動能力、並びに共通ビット線対22, 各コラムビット線対21及びコラム切換スイッチ回路5を含む回路の時定数に依存する。

[発明が解決しようとする課題]

従来の半導体記憶装置はBI-MOSトランジスタの使用によりIC回路としての占有面積の縮小を可能としているものではあるが、電子計算機には高速化に対する要請が常に存在し、この要請を受け半導体記憶装置に対する書き込み・読出し制御の高速化に対する要請も極めて強い。

本発明の目的は、できるだけ上記従来の半導体記憶装置の占有面積を増大させることなく、書き込み回復時間及び読出し時間を高速化し、もって半導体記憶装置の高速化の要請に応えることに存する。

[課題を解決するための手段]

第1図は本発明の概略構成図である。

上記目的を達成するために本発明では、コラム切換スイッチ回路を省略して共通ビット線対をなくすると共に、書き込み及び読出し制御部に夫々コラム選択信号に応答する書き込み及び読出し実行部を各コラム毎に備えることとする。書き込み制御部にはビット線対に対して書き込み回復電流を供給するためのバイポーラトランジスタを配することが望ましい。

本発明の創作に当っては下記のごとき検討が成された。

読出し時間の高速化は、共通ビット線対及び各コラムビット線対での電位振幅を小さく選定して電位降下を早めることで可能である。しかし共通ビット線対の電位振幅の下限は、センスアンプとしての差動アンプの検出能力及びノイズマージンによって制約される。従って高速化の手段としてはまず、第4図に成を例示したコラム切換スイッチ回路5を構成するp-MOSトランジスタの

ON抵抗を小さくすることが考えられる。しかしこれはp-MOSトランジスタ自体の面積の増大につながり、更にはゲート容量の増加も避けられずコラム選択信号を出力するトランジスタの駆動能力を大きくしなければならない、という欠点を有する。

一方書き込み回復時間の高速化は主として共通ビット線対を駆動するインバータINV 1, INV 2のp-MOSトランジスタの能力によって決定される。p-MOSトランジスタのON抵抗を小さくして書き込み時間を高速化することについては、読出し時においてセンスアンプでのビット線対の電位差検出のために最小の電位振幅を確保する必要がある、従って限界がある。

そこで本発明ではまずコラム切換スイッチ回路を省略することとし、コラム切換スイッチ回路に代えて各コラム毎に書き込み実行部及び読出し実行部を設けることとした。これにより、読出し時のビット線対の電位差をセンスアンプの検出能力及びノイズマージンで決定される最小限界値まで小

さくし、ビット線対の電位振幅を低く押さえることで読出し時間を短縮すると共に、回路の時定数を減らし書き込み回復時間を短縮することを可能とした。

更に書き込み実行部においてp-MOSトランジスタに比べ大きな電流駆動能力を有するバイポーラトランジスタを介して直接ビット線対を駆動することもでき、これにより書き込み回復時間を更に短縮することを可能にした。このようにバイポーラトランジスタを有する書き込み実行部を各コラム毎に設けてもコラム切換スイッチ回路のp-MOS及びn-MOSトランジスタが省略された結果記憶装置全体の占有面積はさほど大きくはならない。

【作用】

コラム切換スイッチ回路の省略によりセンスアンプのためのマージンを減らすことで電位振幅を低く押さえ、読出し時間を高速化すると共に、回路の時定数が減って書き込み回復時間の短縮も可能となり、記憶装置の高速化が可能になる。

また、書き込み実行部におけるビット線対の書込

ている。

双方のバイポーラトランジスタQ8、Q9のベースは夫々、抵抗r1、r2を介してV_{cc}電源に接続されると共に、第一及び第二のnチャネルトランジスタQ3、Q4のドレンに接続されており、第一及び第二のnチャネルトランジスタQ3、Q4の双方のソースは互いに接続されると共に第三、第四及び第五のnチャネルトランジスタQ5、Q7、Q5の夫々のドレンに接続されている。第三のnチャネルトランジスタQ6のソースは一方のビット線2A1に、第四のnチャネルトランジスタQ7のソースは他方のビット線2A2に、第五のnチャネルトランジスタQ5のソースはV_s電源に、夫々接続されている。

第一及び第三のnチャネルトランジスタQ3、Q6のゲートはライトアンプ32の一方の出力ライン3Aに、第二及び第四のnチャネルトランジスタQ4、Q7のゲートはライトアンプ32の他方の出力ライン3Bに、夫々接続されており、第五のnチャネルトランジスタQ5のゲートはコラム選

み回復電流を供給するバイポーラトランジスタの採用により電流駆動能力が大きくなり書き込み回復時間が更に短縮できる。

【実施例】

第2図を参照して実施例について説明する。

本実施例の半導体装置では、コラム切換スイッチ回路を省略し、ライト電流供給用バイポーラトランジスタQ8、Q9を有しコラム選択信号Yによりいずれかが作動する各コラム毎の書き込み実行部31を備えると共に、センスアンプ41としてなり、同様にコラム選択信号に応答して作動する読出し実行部を各コラム毎に備えている。各センスアンプ41はECL回路で構成されており、同様にECL回路から構成され書き込み制御部3の一部をなすライトアンプ32は外部信号に従って書き込み実行部31を制御する。書き込み実行部31は、電流駆動能力の大きな一対のバイポーラトランジスタQ8、Q9と、第一～第五のnチャネルトランジスタQ3～Q7から構成されるトランジスタ組と、四個の抵抗r1、r2、r6、r7とから構成され

択信号Yによって制御される。

ライトアンプ32及び各センスアンプ41の双方のECL回路はV_{cc}電源及びV_{ss}電源に、書き込み実行部31はV_{cc}電源及びV2電源に夫々接続され、更に各メモリセルの電源はV1電源及びV2電源としてある。V1電源及びV2電源は夫々、ライトアンプ32として成るECL回路の出力ライン3A、3BのHレベル及びLレベルと等しく設定してある。

またロウ選択信号として成るワードドライバーの出力Xと、書き込み実行部31に対するコラム選択信号として成る書き込み専用ビットドライバーの出力Yとの双方の電圧レベルは共にHレベルの時はV1、Lレベルの時はV2とされており、読出し制御部におけるコラム選択信号として成る読出し専用ビットドライバーの出力Y'のレベルはセンスアンプ選択用トランジスタQ15のECLレベルである。

読出し動作について説明する。メモリセル1Aが選択され、メモリセル1Aの信号が図示の如く

左側がHレベル(H1)、右側がLレベル(L0V)にあるものと仮定する。

読出し動作においては書き込み信号 \overline{WE} がHレベルであるので、ビット信号DIのいかんによらずライトアンプ32の出力ライン3A、3Bは双方ともLレベルとなり、書き込み実行部31の各トランジスタの状態としては、NチャネルトランジスタQ5が導通、NチャネルトランジスタQ3、Q4、Q6、Q7が共に非導通であり、このためバイポーラトランジスタQ8、Q9のベースレベルはほぼ V_{cc} となり、バイポーラトランジスタQ8、Q9は導通側にある。

ビット線対2A1、2A2のうち導通されたメモリセル1Aの右側ライン2A2のレベルがLであるため、書き込み実行部31の右側のバイポーラトランジスタQ9から流れるリード電流は、抵抗 $r7$ を経由してメモリセル1AのNチャネルトランジスタQ13、Q14を流れ、一方メモリセル1Aの左側ライン2A1のレベルはHレベルであるため、左側のバイポーラトランジスタQ8の抵抗

は導通となる。NチャネルトランジスタQ4、Q5が導通のときには右側のバイポーラトランジスタQ9のベースレベルが $V2$ となるように抵抗 $r2$ 及び各トランジスタQ4、Q5の抵抗値が夫々設定されており、ビット線2A1のレベルはほぼ $V1$ レベル、ビット線2A2のレベルはほぼ $V2$ レベルとなっている。このためメモリセル1Aの右側ライン、ビット線2A2からNチャネルトランジスタQ7、Q5を経由してライト電流が流れ、メモリセル1Aの状態は、図示の左側がHレベル、右側がLレベルの状態から反転し、左側がLレベル、右側がHレベルとなり、ビット信号DIの状態がメモリセル1Aに書き込まれたこととなる。

読み終了後書き込み信号 \overline{WE} がHレベルに戻り、ライトアンプの出力ライン3A、3Bが共にLレベルとなると、NチャネルトランジスタQ3～Q7が非導通となる。果バイポーラトランジスタQ9のベースレベルは $V2$ から再び V_{cc} に上昇する。このためビット線2A2の電位もこのバイ

$r6$ にはリード電流が流れず、左右のビット線の電位差は双方の抵抗 $r6$ 、 $r7$ におけるリード電流の抵抗降下分だけあり、この電位差がコラム選択信号 Y' により選択されたセンスアンプ選択用トランジスタQ15のいずれかでアクティブとされた当該センスアンプ41で検出される。

本実施例の半導体記憶装置によると、読出し時におけるビット線対の電位振幅は従来の例えば約50mVから約30mVに減ずることができ、この小さな電位振幅のため読出し時における高速化が可能である。

書き込み動作について説明する。書き込みのためのビット信号DIはLレベルの信号であるとする。読み動作のため \overline{WE} がLレベルになるので、ライトアンプ32の出力は出力ライン3AがLレベル、出力ライン3BがHレベルとなる。

このライトアンプ32の出力を受け、NチャネルトランジスタQ3、Q6は非導通、NチャネルトランジスタQ4、Q7は導通となり、コラム選択信号 Y で選択されたNチャネルトランジスタQ5

ポーラトランジスタQ9の大きな電流駆動能力に従って電位 $V2$ から電位 $V1$ に急速に回復し、再びビット線対2A1、2A2は同電位となり、次のサイクルの信号待状態に移行する。このときのビット線の書き込み回復については、回路抵抗となるコラム切換スイッチ回路がなくなっていることと、駆動能力の大きなバイポーラトランジスタQ9の駆動を受けることとにより、従来の半導体記憶装置に比べると急速に回復する。

従来のコラム切換スイッチ回路ではB1-MOSゲートを使用していたが、コラム切換スイッチ回路においてリード電流供給のためのp-MOSトランジスタの抵抗を小さくしてビット線対の電位振幅を小さくすることは、p-MOSトランジスタの占有面積が大きくなり、できるだけ小さく押さえたい各メモリセルの占有面積と調和せず、メモリセル全体の占有面積がコラム切換スイッチ回路のために大きくなってしまいうという不都合があった。しかしMOSトランジスタを利用した従来のコラム切換スイッチ回路とこれを置換えた本実施例

の 込み実行部との間には占有面積の差は殆どなく、従って占有面積の増大を伴うことなく高速化が可能となった。

上記構成による結果として本実施例の半導体記憶装置では、従来の例えば 1.3nsの読出し時間が 0.8nsに短縮でき従来の例えば 2 nsの書き込み時間が 1 nsに短縮でき、きわめて高速化が可能となった。

【発明の効果】

以上説明したように本発明では、コラム切換スイッチ回路を有しないので、ビット線の電位振幅をセンスアンプとしてなる差動アンプの検出能力及びノイズマージンにより決定される最小限界値まで小さく設定でき、読出しサイクルにおける高速化が可能となると共に切換スイッチ回路を除いたことによる回路時定数の減少により書き込み回復時間が短縮でき、書き込みサイクルにおける高速化も可能となり、全体として半導体記憶装置の高速化を可能とした。

また書き込み後のビット線対の電位回復のための

回復電流を駆動能力の大きなバイポーラトランジスタで直接供給するとした構成により書き込み回復時間を更に短縮でき、書き込みサイクルにおける高速化が可能となり、半導体記憶装置の高速化を可能とした。

4. 図面の簡単な説明

第1図は本発明の概略構成図、

第2図は実施例の回路図、

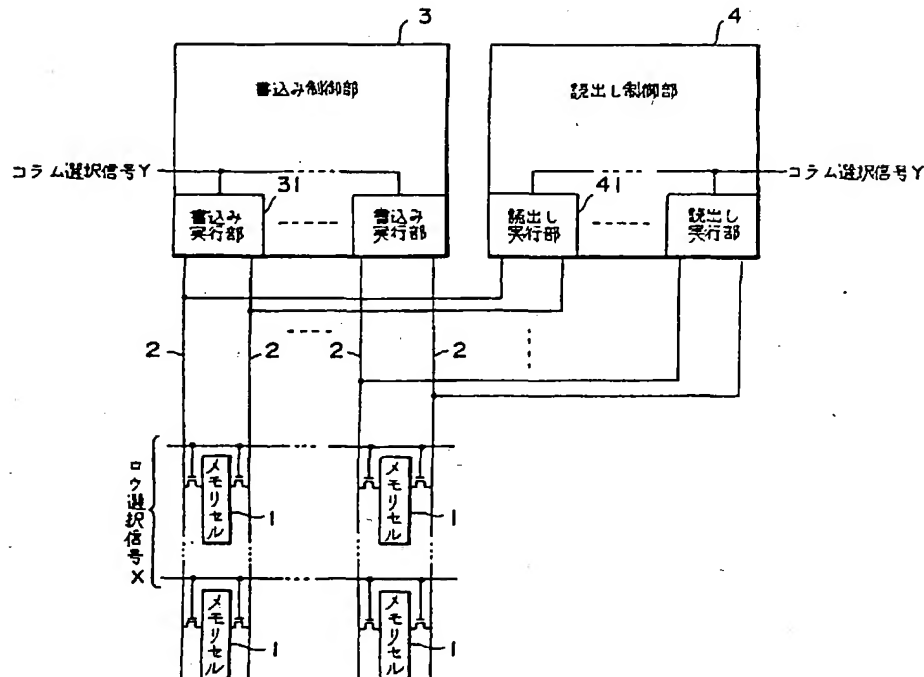
第3図は従来の回路図、

第4図は従来のコラム切換スイッチ回路の構成を示すための回路図である。

第1図において、1はメモリセル、2はビット線対、3は書き込み制御部、31は書き込み実行部、4は読出し制御部、41は読出し実行部、Xはロウ選択信号、Yはコラム選択信号を示す。

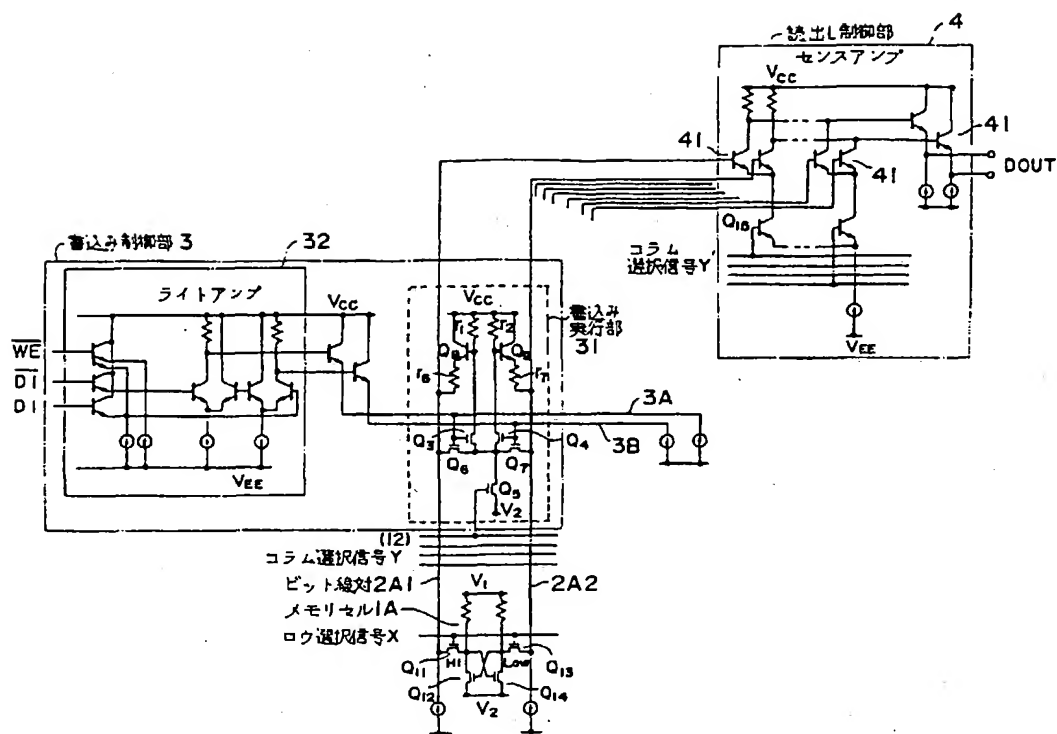
出願人 富士通株式会社
代理人 弁理士 井 桁 貞

(外 2 頁)

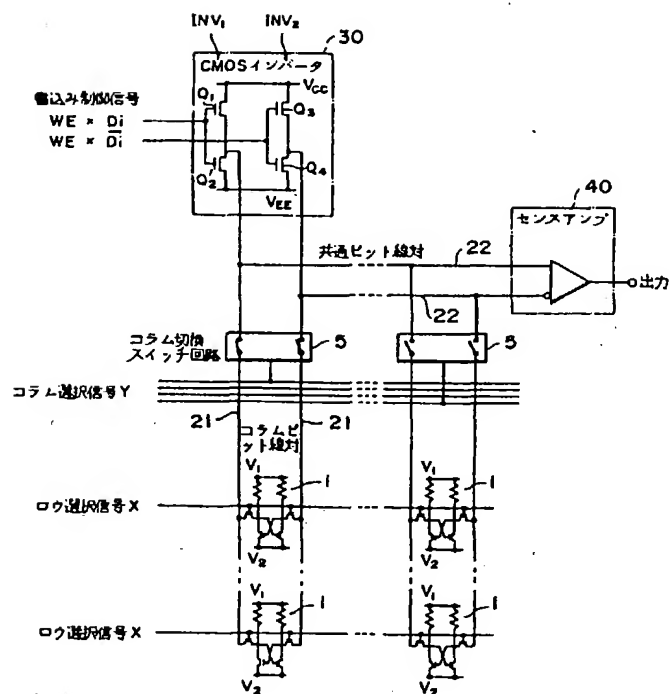


本発明の概略構成図

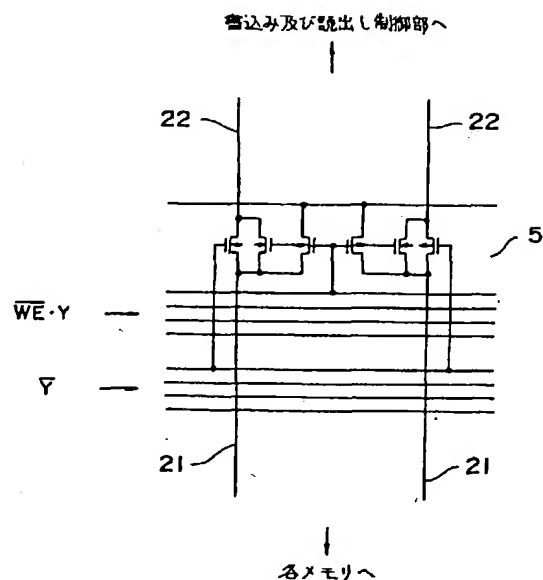
第1図



実施例の回路図
第 2 図



従来の回路図
第 3 図



コラム切換スイッチ回路図
第 4 図